

Hücresel Sinir Ağı Tabanlı Kaos Üretecinin Alan Programlanabilir Kapı Dizileri ile Gerçekleştirilmesi

Implementation CNN Based Chaos Generator Using Field Programmable Gate Array

Kenan ALTUN

Elektronik ve Otomasyon Bölümü
Cumhuriyet Üniversitesi
Sivas, Türkiye
kaltun@cumhuriyet.edu.tr

Enis GÜNAY

Elektrik-Elektronik Mühendisliği Bölümü
Erciyes Üniversitesi
Kayseri, Türkiye
egunay@erciyes.edu.tr

Özetçe—Bu çalışma ile Kaotik sinyal üreteçler HSA (Hücresel Sinir Ağı) (CNN-Cellular Neural Network) tabanlı bir kaos üreteci ile Alan Programlanabilir Kapı Dizileri (Field Programming Gate Array-FPGA) kullanılarak gerçekleştirilmiştir. Çalışma sonucunda, yüksek frekanslarda elde edilen kaotik üreteçler, Matlab Xilinx System Generator kullanılarak eş simülasyon gerçekleştirilmiştir.

Anahtar Kelimeler — Hücresel Sinir Ağları, FPGA, Kaotik Sinyal Üreteçleri.

Abstract— In this study, Chaotic signal generators Cellular Neural Network (CNN) based programmable area with a chaos generator Field Programming Gate Array (FPGA) were performed using. As a result, chaotic generator obtained at high frequencies, Matlab co-simulation was performed using the Xilinx System Generator.

Index Terms — Cellular Neural Network, FPGA, Chaotic Signal Generators.

I. GİRİŞ

Kaotik sinyal üreteci kullanılarak gerçekleştirilen haberleşme sistemlerinde kaos sinyali en temel yapıdır. Bu bakımdan üretilen kaotik sinyallerin gerçekleştirilmesi önem kazanmaktadır. Kaotik sinyal üreteçleri donanımsal açıdan sayısal ve analog tabanlı devreler olarak gerçekleştirilebilirler. Analog devre tabanlı kaos üreteçlerinde temel problem kaos oluşturan sistem parametrelerinin elde edilmesindeki zorluklar olarak karşımıza çıkmaktadır. Bu bakımdan özellikle kaotik sinyal üreteçlerin kullanıldığı haberleşme sistemlerinde sayısal tabanlı kaos yapılarının kullanımının önemi artmıştır.

Kaotik haberleşme sistemlerinde kullanılan ve analog tabanlı olmayan kaotik sinyal üreteçlerin tasarımında dijital sinyal işlemcileri (Digital Signal Processing - DSP), tasarıma yönelik özel entegre yapılar (Application Specific Integrated Circuits-ASIC) ve alan programlanabilir kapı serileri (Field

Programming Gate Array - FPGA) yapıları kullanılarak gerçekleştirilmektedir [1-3].

ASIC tabanlı kaotik üreteçler bu yapılar arasında yüksek performanslarına karşılık ilk tasarım maliyetlerinin fazla olması ve tekrar tekrar tasarıma açık olmaması bu yapıların yaygın olarak kullanılmamı engellemektedir. Diğer taraftan sayısal işaret işlemci (DSP) çipleri ise, işlemleri sıralı (sequential) olarak gerçekleştirmesinde dolayı çalışma frekansları düşmektedir. Özellikle bu durum en az iki veya üç diferansiyel denklemden oluşan kaotik sistemlerdeki kullanılabilirliğini kısıtlamaktadır.

Kaotik tabanlı sinyal üreteçlerinin gerçekleştirimindeki diğer yapıların bu dezavantajları farklı tasarım tekniklerinin araştırılmasına neden olmuştur. Özellikle FPGA tabanlı devre yapılarının paralel işlem yapabilmeleri ve yüksek çalışma frekansları elde edilebilmeleri dikkat çekmiştir. Özellikle yüksek frekanslarda çalışma, yayılı spektrum haberleşme sistemlerinde bilgi sinyalinin arka planda gizlenmesini kolaylaştırmaktadır[4]. FPGA yapıları sayısal tabanlı olmaları, düşük maliyetleri, yüksek frekansta işlem yapabilme kapasiteleri ve tekrar programlanabilme özellikleri sayesinde diğer sayısal tabanlı kaos üreteçleri arasında ön plana çıkmaktadırlar [4]. Bu bakımdan bu çalışmada FPGA platformu kullanılarak özellikle HSA yapıları ile birleştirilip sayısal tabanlı devre yapısı sayesinde tasarımı kolay esnek yapılar tamamlanmıştır. Bir sonraki bölümde hücresel sinir ağları hakkında bilgi verilecektir.

II. HSA TABANLI KAOS ÜRETECİ

Ortamda yapısal olarak düzenli olarak yerleşmiş, kısmi bölgede hücre (cell) olarak adlandırılan sinir ağlarından oluşan, karmaşık (complex) düzenler içeren doğrusal olmayan yapılar Hücresel Sinir Ağları (HSA), olarak tanımlanmaktadır [5]. HSA

yapıları örüntü, kaotik sinyal ve görüntü işleme konuları başta olmak üzere bir çok kullanım alanına sahiptir [6-10]. Özellikle kaotik sinyal işleme çalışmalarında HSA tabanlı yapıların kullanılması için *Durum Kontrollü HSA (DK-HSA)* yapıları ortaya konmuştur [9]. Önerilen DK-HSA hücre modelinde doğrusal olmayan durum denklemleri aşağıdaki gibi ifade edilmektedir.

$$\dot{x}_j = -x_j + a_j y_j + i_j + G_o + G_s \quad (1)$$

Önerilen DK-HSA modelinde j boyut indeksini, x_j j . durum değişkeni parametresini, a_j sabit parametresini, i_j denklemin sabit değerini göstermektedir. Denklemden yer alan diğer parametreler olan G_o ve G_s diğer komşu hücrelere ait çıkışların bağlantılarını ifade etmektedir. Denklem(1) ile ifade edilen modelde yer alan G_s orijinal yapı açıklamasından farklıdır [9]. *HSA* hücresine ait çıkış parametresini ifade eden y_j ise denklem (2) ile ifade edilmektedir..

$$\dot{y}_j = 1/2 (|x_j + 1| - |x_j - 1|) \quad (2)$$

DK-HSA yapısıyla modellenen genelleştirilmiş *Chua* devresinin durum denklemleri denklem (1) ile ifade edilebilmektedir [9]. Bu bakımdan düşünüldüğünde farklı kaotik üreteçlerin *DK-HSA* yapısıyla modellenebileceği ifade edilmektedir [10-12]. *DK-HSA* yapısıyla tasarlanan kaotik üreteçler *RC*-tabanlı olduklarından tümleşik yapılara dönüştürülmeye müsaittir [9-12].

Bu çalışma ile *DK-HSA* tanımlamasıyla elde edilen kaotik işaret üreticinin sayısal devre tabanlı FPGA uygulaması sunulmaktadır. Literatürde sayısal devre tabanlı FPGA devre yapılarının kullanıldığı örnekler yer alırken [13], *DK-HSA* yapıya sahip kaotik üreticinin kullanıldığı sayısal devre bir uygulamayla karşılaşmamıştır. Diğer taraftan bu çalışmayla, *HSA* tabanlı kaos üreteçlerinin, sayısal tabanlı devre yapı örneği olan FPGA ile kullanılabilirliği gösterilmektedir.

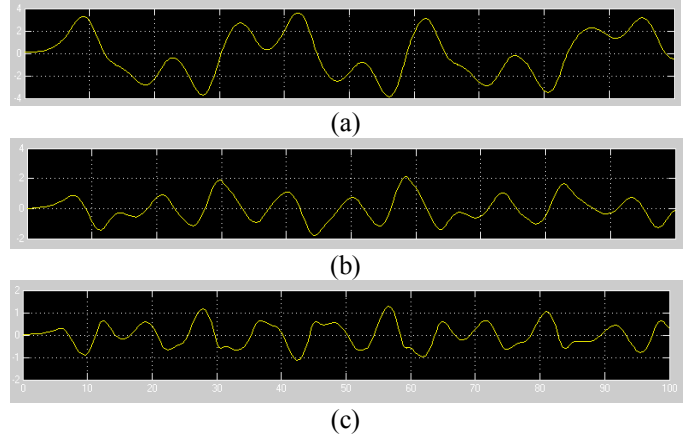
III. DK-HSA TABANLI KAOTİK SİNYAL ÜRETECİNİN FPGA UYGULAMASI

DK-HSA yapıları kullanılarak elde edilen ve denklem (1) ve (2)'de açıklanan üç hücre ağ yapısı kullanılarak tasarlanan kaos sinyal üreticisi olarak düzenlenebilir. Burada modellenen ağ yapısına ait denklemler ve denklemlerin sabitleri denklem(3)'de açıklanmıştır [12].

$$\begin{aligned} \dot{x}_1 &= -x_1 + s_{11}x_1 + s_{12}x_2 \\ \dot{x}_2 &= -x_2 + s_{22}x_2 + s_{23}x_3 \\ \dot{x}_3 &= -x_3 + s_{31}x_1 + s_{32}x_2 + s_{33}x_3 + a_{31}y_1 \\ \dot{y}_1 &= 1/2 (|x_1 + 1| - |x_1 - 1|) \end{aligned} \quad (4)$$

$$s_{11}=s_{12}=s_{22}=s_{23}=1, s_{31}=-0.5, s_{32}=-0.4, s_{33}=0.5, a_{31}=1$$

Denklem (4)'te açıklanan modelin oluşturduğu kaotik sinyalin x dinamiği Şekil 1(a)'da, y dinamiği Şekil 1(b)'de verilirken, z dinamiği Şekil 1(c)'de ifade edilmiştir.



Şekil 1. DK-HSA tabanlı kaotik üreticinin: (a) x dinamiği, (b) y dinamiği, (c) z dinamiği.

Kaotik işaret üreten devreler gerek parametre değişimi ile gerekse de farklı başlangıç şartlarıyla karakteristik özellikleri değişen devreler olması sebebiyle, yeniden yapılandırılabilir sistemler arasında dikkat çeken bir yapıya sahiptir. Ancak kaotik devre yapılarının bu değişime uygun sistemlerde tasarlanarak gerçekleştirilmesi bu avantajların kullanımını gerçek kılar. Bu amaçla önceki bölümlerde de açıklandığı gibi FPGA yapıları esnek ve kolay tasarım özelliklerinden dolayı kaotik devre yapıları için uygundur [14,15].

Ayrıca FPGA yapılarını üretimden sonra bile istenen fonksiyon ve yapıya göre donanımının değiştirilmeye açık olması, bu yapıların uygulanabilirliğini artırmaktadır. VHDL (Very High Speed Integrated Circuit Hardware Description Language), Çok Yüksek Hızlı Entegre Devre Donanımı Tanımlama Dili anlamına gelen kısaltması olup, sayısal tabanlı devre yapılarının tasarımında kullanılır.

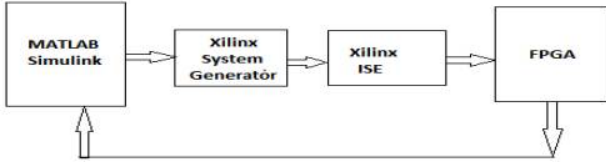
Yapılan çalışma ile *DK-HSA* denklemleriyle elde edilen kaotik üreticinin sayısal devre tabanlı FPGA kartında gerçekleştirme amaçlanmıştır. Bu amaçla kullanılan geliştirme kartı Şekil 2'de gösterilen Xilinx Spartan-6 Atlys geliştirme kartıdır.



Şekil 2. Xilinx Atlys Spartan-6 Geliştirme Kartı

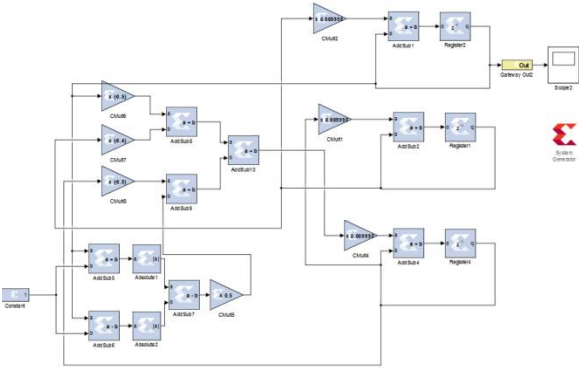
Buna karşın günümüzde FPGA yapılarının tasarımında kullanılan donanım dili VHDL, yerini tasarım aşaması daha

kolay olan şematik yöntemlere bırakmaktadır [13]. FPGA programlanmasında diğer bir yöntem ise Matlab/Simulink toolbox'da Xilinx özel bloklarla gerçekleştirilen şematik tasarımıdır [16]. Bu tasarım aşamaları Şekil 3'de gösterilmektedir. Buna göre Xilinx bloklar ile şematik olarak çizilen sistem modeli daha sonra system generator kullanılarak giriş çıkış bitleri ve VHDL kodlar elde edilir. Nitekim elde edilen VHDL kodlar FPGA kartına yüklenerek sayısal tabanlı kaotik üreteç tamamlanır.



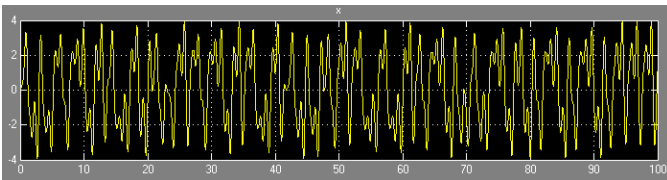
Şekil 3. FPGA tabanlı Xilinx System Generator ile hardware Co-simulation.

Xilinx system generator matematiksel işlem blokları kullanılarak algoritma üretebilen çok kullanışlı bir araçtır. VHDL programlama diline göre kolay tasarımı, geliştirilebilmesi önemli avantajıdır. Buradan yola çıkarak daha önce üç hücreli ağ yapısı olarak tasarlanan kaotik denklemler Şekil 4'de gösterildiği gibi Xilinx bloklar kullanılarak tasarlanmıştır.

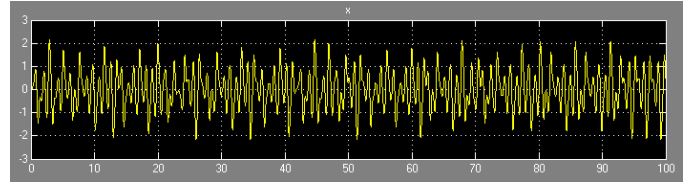


Şekil 4. DK-HSA tabanlı kaotik üreticinin Xilinx System Generator kullanılarak elde edilen devre şeması

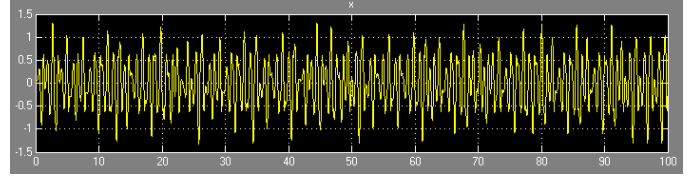
Xilinx System Generator kullanılarak elde edilen kaotik üreteci ait sistem dinamikleri Şekil 5'de gösterilmekte olup, Şekil 1'de gösterilen sistem dinamiklerine göre yüksek frekanslarda sonuçlar elde edilmiştir. Bu sonuçlar özellikle yayılı spektrum haberleşmede bilgi sinyallerininin arka planda saklanmasına büyük katkı sağladığı için oldukça önemlidir.



(a)



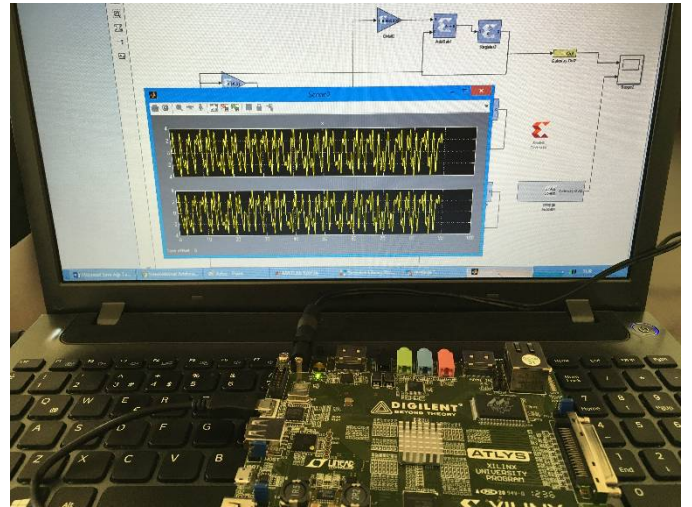
(b)



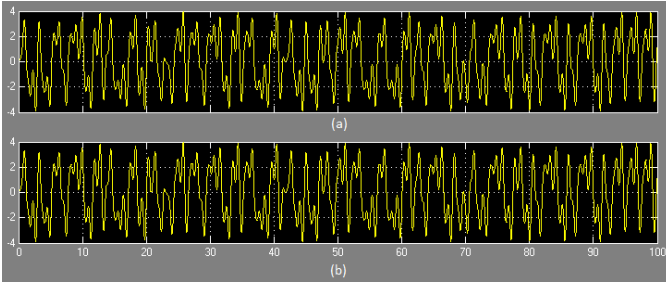
(c)

Şekil 5. Xilinx bloklarla elde edilen DK-HSA kaotik generatore ait a) X-dinamiği, b) Y-dinamiği, c) Z-dinamiği

DK-HSA tabanlı kaotik sinyal üreticisi xilinx bloklarla çizildikten sonra FPGA geliştirme kartı ile eş zamanlı simülasyonu gerçekleştirilmiştir. Şekil 6'da gösterildiği gibi Xilinx System Generator kullanılarak elde edilen çıkış aynı zamanda FPGA geliştirme kartına ait işlemcilerle birlikte eş zamanlı olarak simüle edilmiştir. Elde edilen sonuçlar aynı scope'da karşılaştırıldığında küçük bir kayma Şekil 7'de gösterildiği gibi elde edilmiştir. Bu işlem ayrıca HDL coder çalıştırılarak DK-HSA kaotik generatore ait VHDL kodlar üretilmiştir.

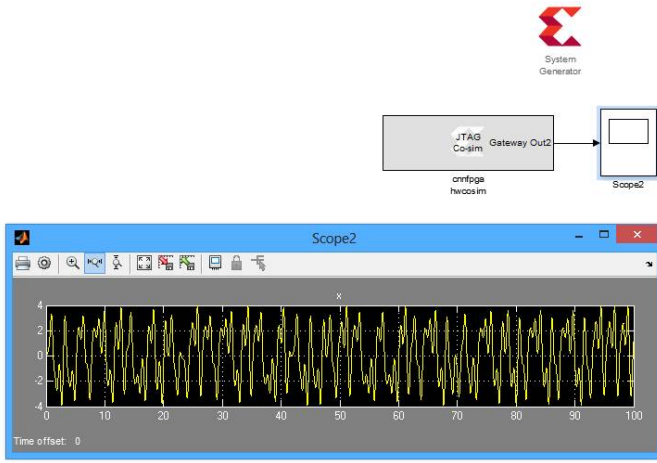


Şekil 6. Matlab/Simulink ve FPGA geliştirme kartı Co-Simulation Uygulaması



Şekil 7. DK-HSA kaotik generator a) X-dinamiği, b) Y-Dinamiği, c) Z-Dinamiği

Xilinx System Generator kullanılarak elde edilen VHDL kodlar Şekil 8’de gösterildiği gibi hardware co-simulation haberleşme bloğu ile FPGA geliştirmeye kartına yüklenerek çalışma tamamlanmıştır.



Şekil 8. VHDL Kodla ile Simule edilen DK-HSA kaotik generatore ait X dinamiği

Bu tasarım yöntemi ile istenildiğinde şematik olarak yeniden tasarlanan sistemde HDL kodlarla uğraşmadan kolay ve esnek değişiklik imkanı sunmaktadır. Bu da yeni modellerin ve sistemlerin hızlı tasarımına ve yeni tasarımlara ait sonuçların daha kolay karşılaştırılmasına imkan sağlamaktadır.

IV. SONUÇ

Bu çalışma DK-HSA ile modellenen sayısal tabanlı kaotik üreteçlerin Xilinx System Generator kullanılarak tasarım kolaylığı sağlamaktadır. Yapılan uygulama ile kaotik devre parametrelerini kolayca değiştirme imkanı sunan ve diğer devre modellerine göre uygulanması kolay olan FPGA tabanlı bir çalışmadır. Bu çalışma ile analog tabanlı devre yapılarında yaşanan parametre ayarlama zorluklarının aşılması amaçlanmış, Xilinx System Generator ile HDL programlama

dili aşamalarını kolaylaştıran Xilinx toolbox ile daha basit tasarım ve analiz yöntemi sunan bir örnek ortaya konmuştur.

KAYNAKÇA

- [1] Yuxi, Zhang, et al. "Methods and experience of using Matlab and FPGA for teaching practice in digital signal processing." Education and Management Technology (ICEMT), 2010 International Conference on. IEEE, 2010.
- [2] Zhang, Yiwei, Zexiang Liu, and Xinjian Zheng. "A chaos-based image encryption ASIC using reconfigurable logic." Circuits and Systems, 2008. APCCAS 2008. IEEE Asia Pacific Conference on. IEEE, 2008.
- [3] Wang, Qianxue, et al. "Theoretical Design and FPGA-Based Implementation of Higher-Dimensional Digital Chaotic Systems." IEEE Transactions on Circuits and Systems I: Regular Papers 63.3 (2016): 401-412.
- [4] Amini, S., and A. L. Steele. "A digital chaos generator for use within chaos encrypted communication systems." 2009 2nd International Workshop on Nonlinear Dynamics and Synchronization. 2009.
- [5] Chua, L. & Yang, L., "Cellular neural networks: Theory", *IEEE Trans. Circuits Syst.*, 35, 732–745, 1988.
- [6] Chua, L.O ve Yang, L., "Cellular Neural Networks: Applications", *IEEE Transaction on Circuits and Systems*, Vol 35, No.10 ; s.1273-1290. 1988.
- [7] Chua, L.O., and Roska, T., "The CNN paradigm", *IEEE Transactions on Circuits and Systems -I*, 40, pp.147-156,1993.
- [8] L.O. Chua., *CNN: A Paradigm for complexity*, World Scientific Series on Nonlinear Science, Series A- Vol. 31, World Scientific Publishing, 1998.
- [9] Arena, P., Baglio, S., Fortuna, L. & Manganaro, G., "Chua's circuit can be generated by CNN cells," *IEEE Trans. Circuits Syst.*, 142, 123–125, 1995.
- [10] Kılıç, R., Alçı, M. & Günay, E., "A SC-CNNbased chaotic masking system with feedback", *Int. J. Bifurcation and Chaos*, 14, 245–256, 2004.
- [11] Günay, E. , "MLC circuit in the frame of CNN", *Int. J. Bifurcation and Chaos*, 20, 3267–3274, 2010.
- [12] Günay E. "A New Autonomous Chaos Generator from State Controlled Cellular Neural Networks", *Int. J. Bifurcation & Chaos*, Vol.22, No.3, 2012.
- [13] Liu, Zhiping, Jinhua Zhang, and Hanyu Liu. "Design of the differential chaos shift keying communication system based on DSP builder." Computer Modelling&New Technologies 138-143, 2014.
- [14] Wang, Guangyi, et al. "A new modified hyperchaotic Lü system." *Physica A: Statistical Mechanics and its Applications* 371.2 (2006): 260-272.
- [15] Wang, Guangyi, et al. "A chaotic system and its circuitry implementation." *Proceedings. 2005 International Conference on Communications, Circuits and Systems*, 2005.. Vol. 2. IEEE, 2005.
- [16] The MathWorks and Xilinx Plans web page: <http://www.mathworks.com/>